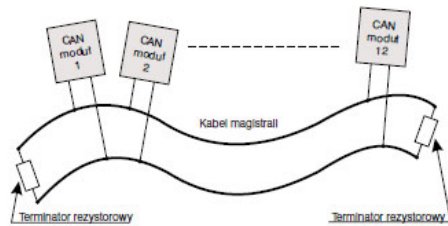


Podstawowe wiadomości n. t. magistrali CAN



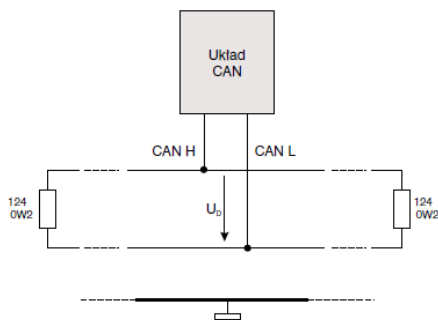
Rys. 2. Topologia magistrali CAN.

1. Założenia

CAN wykorzystuje tak zwaną topologię magistrali, to oznacza, że wszystkie elementy są połączone pojedynczą skrętką pary przewodów (ekranowaną lub nie), zakończoną na obydwu końcach odpowiednimi impedancjami zakończenia magistrali. Taka organizacja zapewnia, że każda stacja może komunikować się z każdą w sieci bez żadnych ograniczeń.

2. Sposób dołączenia modułów CAN do magistrali

Magistrala CAN to dwuprzewodowa skrętka miedziana. Przewody skrętki posiadają oznaczenia CAN H i CAN L. Sygnały niosące informację są nazywane sygnałami różnicowymi, tzn. istotna jest różnica napięć między CAN H i CAN L. Napięcie między przewodami skrętki a masą nie mają tu znaczenia – jest to jedno z zabezpieczeń układu przed zakłóceniami. Skrętka przewodowa ma tę właściwość, że oba jej przewody leżą bardzo blisko siebie i np. napięciowy impuls zakłócający, jaki pojawia się na skrętce dociera do obu przewodów naraz – czyli nie występuje wynikające z tego zakłócająca różnica potencjałów między obu przewodami, natomiast między przewodami a masą – tak. Z tego powodu masa „nie bierze udziału” w transmisji.

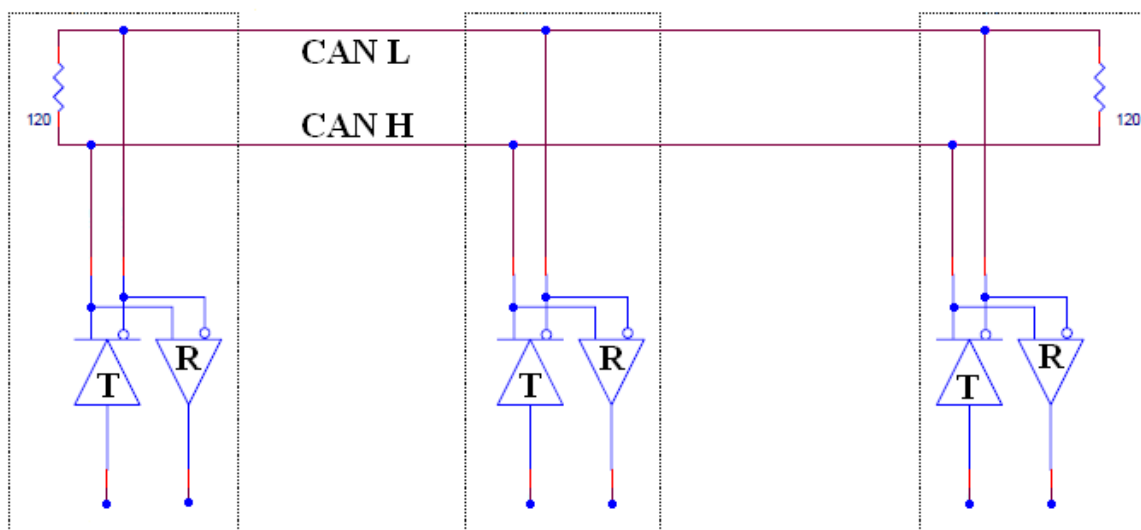


Rys. 3. Dołączenie elementu (stacji) do magistrali CAN.

W tabeli poniżej podano różnice potencjałów między przewodami CAN H i CAN L a masą układu:

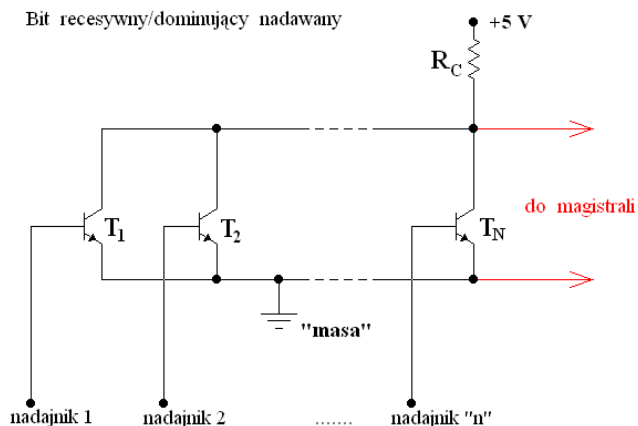
| Napięcie na magistrali | Stan magistrali | |
|---|------------------------|---------------------------|
| | recesywny (ustępujący) | dominujący (przeważający) |
| CANH | 2,5V | 3,5V |
| CANL | 2,5V | 1,5V |
| dopuszczalne napięcie różnicowe $U_0 = \text{CANH} - \text{CANL}$ | 0 - 0,5V | 0,9 - 2,0V |

Nieco bardziej szczegółowo sposób dołączenia modułów do magistrali przedstawia rys. poniżej:

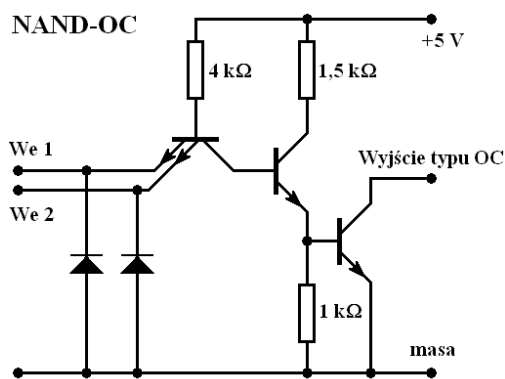


3. Bit recesywny i bit dominujący (wyjaśnienie)

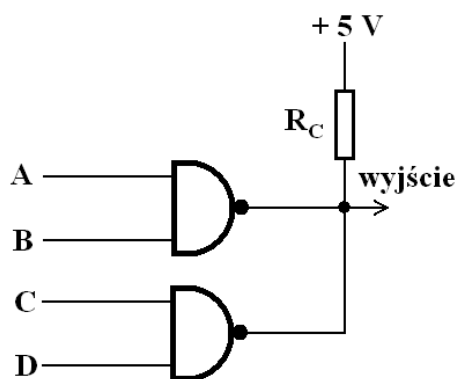
Aby wyjaśnić pojęcia **bit recesywny** i **bit dominujący** można posłużyć się przykładem techniki obwodów wyjściowych niektórych bramek logicznych typu OC (Open Collector). Weźmy pod uwagę następujący układ:



Zasada działania jest bardzo prosta: wystarczy, że tylko jeden (dowolny) nadajnik wyśle na linię bit dominujący (czyli wprowadzi w stan nasycenia przyporządkowany mu tranzystor), to na linii pojawia się „0” (bit dominujący) i żaden inny nadajnik nie jest w stanie wymusić na linii bitu recesywnego – czyli „1”. Mówimy, że ten nadajnik „nadpisał” bit dominujący w linii. Takie rozwiązanie zastosowano w stopniu wyjściowym bramek z otwartym kolektorem (Open Collector). Przykładową dwuwejściową bramkę NAND – OC przedstawiono na rys. A, natomiast sposób podłączenia jej do magistrali na rys. B



(rys. A)



(rys. B)

Jeżeli którakolwiek z bramek wymusi na linii bit dominujący (0), to druga z bramek nie jest w stanie tego zmienić, czyli wymusić na linii stan recesywny (1).